

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-163323

(43)Date of publication of application : 18.06.1999

(51)Int.Cl. H01L 29/78
H01L 21/336

(21)Application number : 09-324457 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.11.1997 (72)Inventor : YOSHITOMI TAKASHI

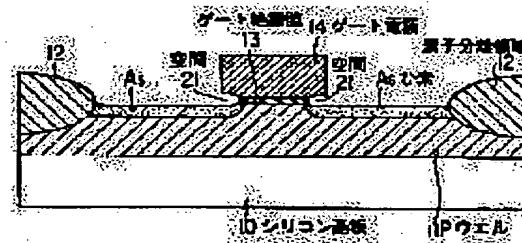
(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce parasitic capacity, enable rapid operation of an element and restrain generation of trap in an insulation film and in an interface between an insulation film and a board, by making a gate electrode longer than a gate insulation film.

SOLUTION: An insulation film is formed between a thermal oxide film, a gate electrode and a source and drain formation region in a side surface of a gate electrode 14, by performing thermal oxidation for the entire board in oxidizing atmosphere. Thereafter, for a shallow source diffusion layer and a drain diffusion layer formation is subjected to ion implantation.

Thereafter, dilute hydrofluoric acid treatment is carried out, thereby removing a thermal oxide film, an insulation film is also removed and a space 21 is formed in a part corresponding to an insulation film. An overlapped length of a gate electrode 14 and a source and drain region is adjusted by adjusting an etching time in the process. An overlap parasitic capacity can be made small by cutting an overlap length. Thereafter, an insulation film sidewall is formed.



LEGAL STATUS

[Date of request for examination] 14.02.2001

[Date of sending the examiner's decision of rejection] 07.01.2003

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-163323

(43)公開日 平成11年(1999)6月18日

(51)Int.Cl.⁶

H 01 L 29/78
21/336

識別記号

F I

H 01 L 29/78

3 0 1 G
3 0 1 Y

審査請求 未請求 請求項の数 7 OL (全 6 頁)

(21)出願番号

特願平9-324457

(22)出願日

平成9年(1997)11月26日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 吉富 崇

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

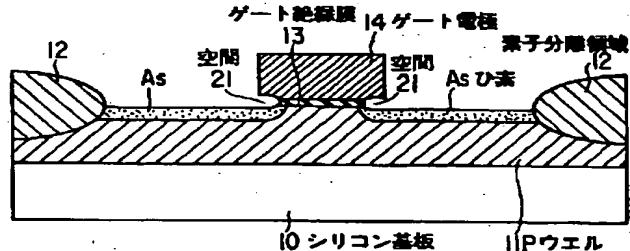
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置とこの半導体装置の製造方法

(57)【要約】

【課題】 この発明は、高速動作の妨げとなっている寄生容量を小さくでき、さらにオーバーラップ長を短くすることができ、実効的なチャネル長は長くなり、よって短チャネル効果を抑制できる。

【解決手段】 この発明は、ゲート電極とソース及びドレイン拡散層とのオーバーラップ領域において、ゲート絶縁膜は除去され空間となっている、もしくは低誘電率の酸化膜で充填されており、また、ゲート電極を酸化することにより側壁を形成した後、イオン注入を行うことにより、ゲート電極に対してのイオン注入領域にオフセットができるようにしたものである。



1

・【特許請求の範囲】

・【請求項1】 ソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート絶縁膜を介して形成されているゲート電極とを有するM I Sトランジスタを備えた半導体装置において、

上記ソース拡散層と上記ゲート電極との間、および上記ドレイン拡散層と上記ゲート電極との間の少なくとも一方がゲート絶縁膜よりも誘電率の低い絶縁膜で充填されており、ゲート絶縁膜に対してゲート電極の長さが長くなっていることを特徴とする半導体装置。

・【請求項2】 基板上のソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート電極とを有するM I Sトランジスタを備えた半導体装置において、

上記チャネルと上記ゲート電極との間に、上記ゲート電極の長さよりも短くゲート絶縁膜が形成され、

上記ゲート電極の側面に絶縁膜側壁が堆積され、

上記絶縁膜側壁と上記ゲート電極と上記基板と上記ゲート絶縁膜で囲まれた領域に空間が形成されていることを特徴とする半導体装置。

・【請求項3】 基板上のソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート絶縁膜を介して形成されているゲート電極とを有するM I Sトランジスタを備えた半導体装置を製造する半導体装置の製造方法において、

上記基板上に熱酸化によりゲート絶縁膜を形成する工程と、

このゲート絶縁膜上にポリシリコンを主体とするゲート電極を形成する工程と、

上記ゲート電極と自己整合的に、ソース拡散層およびドレイン拡散層形成用の不純物を導入する工程と、

希沸酸処理を行うことにより、上記ゲート電極とソースおよびドレイン形成領域との間の上記ゲート絶縁膜の少なくとも一部を除去し、上記ゲート絶縁膜を除去した部分に空間を形成する工程と、

上記基板上に、減圧気相成長法により熱酸化膜より誘電率の低い絶縁膜を堆積し、上記空間を上記ゲート絶縁膜よりも誘電率の低い上記絶縁膜で充填する工程と、からなることを特徴とする半導体装置の製造方法。

・【請求項4】 基板上のソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート絶縁膜を介して形成されているゲート電極とを有するM I Sトランジスタを備えた半導体装置を製造する半導体装置の製造方法において、

上記基板上に熱酸化によりゲート絶縁膜を形成する工程と、

このゲート絶縁膜上にポリシリコンを主体とするゲート電極を形成する工程と、

上記ゲート電極と自己整合的に、ソース拡散層およびドレイン拡散層形成用の不純物を導入する工程と、

希沸酸処理を行うことにより、上記ゲート電極とソース

2

およびドレン形成領域との間の上記ゲート絶縁膜の少なくとも一部を除去し、上記ゲート絶縁膜を除去した部分に空間を形成する工程と、

上記基板上に、常圧気相成長法あるいはスパッタリング法により上記空間を残したまま絶縁膜を堆積する工程と、

からなることを特徴とする半導体装置の製造方法。

・【請求項5】 上記ゲート電極と自己整合的に不純物を導入する前に、上記ゲート電極の少なくとも側面に熱酸化により酸化膜を形成する工程をさらに具備したことを特徴とする請求項3または請求項4に記載の半導体装置の製造方法。

・【請求項6】 上記絶縁膜を堆積したのち、エッチバックして上記ゲート電極の側面に絶縁膜側壁を形成する工程をさらに具備したことを特徴とする請求項3または請求項4に記載の半導体装置の製造方法。

・【請求項7】 上記絶縁膜側壁を形成したのち、上記ゲート電極および絶縁膜側壁と自己整合的に、上記ゲート電極と自己整合的に導入された上記不純物よりも深く、

ソース拡散層およびドレイン拡散層形成用の不純物を導入する工程をさらに具備したことを特徴とする請求項6に記載の半導体装置の製造方法。

・【発明の詳細な説明】

・【0001】

・【発明の属する技術分野】 この発明は、高速動作の要求されるM I Sトランジスタ等の半導体装置とこの半導体装置を製造する半導体装置の製造方法に関する。

・【0002】

・【従来の技術】 近年、半導体装置への高速動作の要求は益々高くなっている。このような高速動作の要求されるM I Sトランジスタとして、NMOSを例として説明する。

・【0003】 まず、図7に示すように、シリコン基板10の表面側に、Pウェル11と、膜厚600nmの熱酸化膜からなる素子分離領域12を形成する。次いで、基板表面を800°Cで熱酸化することにより膜厚6nmの熱酸化膜を形成して、さらに基板全面にCVD(気相成長)法を用いて適宜不純物をドープしたポリシリコンを堆積したのち、光リソグラフィーにより幅0.25μmの図示しないレジストパターンを形成し、これをマスクとしたRIE(リアクティブイオンエッティング)法でパターニングすることにより、ゲート絶縁膜13とゲート電極14とを形成する。

・【0004】 次に、図8に示すように、基板全面を800°Cの酸化性雰囲気で熱酸化することにより、ゲート側面に膜厚20nmの熱酸化膜15とゲート電極とソース及びドレイン形成領域との間に膜厚10nmの絶縁膜16が形成される。その後、浅いソース拡散層およびドレイン拡散層形成用のひ素Asを加速電圧15KeV、 $2 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入する。

【0005】次に、図9に示すように、基板全面にLPCVD(減圧気相成長)法により絶縁膜を膜厚1.00nm堆積したのちRIE法を行いエッチングして絶縁膜側壁17を形成する。その後、更に深いソース拡散層およびドレイン拡散層形成用のヒ素Asを加速電圧40KeVで $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入した後、1000°C、20秒のRTA法を用いて不純物の活性化を行う。

【0006】この場合、図10に示すように、ソース及びドレイン拡散層18のイオン注入領域上の絶縁膜においてトラップTが形成され、ホットキャリアストレスにより、その準位が占有されることにより素子特性の変動が生じ、信頼性向上のうえで問題となっていた。

【0007】また、図11に示すように、短チャネル効果の抑制を目的として、ゲート電極14側面に接する絶縁膜側壁18を絶縁膜の堆積とRIE法により形成し、イオン注入を行う側壁を二重に(絶縁膜側壁19を形成)する方法も検討されている。しかしこの場合、寄生抵抗を抑制する観点から、側壁幅は薄くなくてはならず、薄い側壁を制御性よく形成することが困難であり、問題となっていた。

【0008】また、図12に示すように、ゲート電極14に絶縁膜側壁20を絶縁膜の堆積とRIE法により形成した後、ソース及びドレインに対して逆導電型の不純物BF₂₊(フッ化ホウ素)を斜めにイオン注入することにより、実効的なチャネル長を長くする方法も検討されている。この場合、チャネル不純物濃度の場所依存性が現れ、逆短チャネル効果が生じるという問題があった。

【0009】

【発明が解決しようとする課題】上記したように、高速動作の要求されるMISトランジスタにおいては、ゲート絶縁膜の薄膜化に伴うソースおよびドレイン拡散層とゲート電極との間に存在する寄生容量、ゲートの微細化に伴い深刻となる短チャネル効果、イオン注入によりダメージを受けた絶縁膜中および絶縁膜と基板との界面に発生するトラップによる信頼性の低下が問題となっている。

【0010】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、ゲート絶縁膜の薄膜化に伴うソースおよびドレイン拡散層とゲート電極との間に存在する寄生容量を低減でき、素子の高速動作を可能とし、イオン注入によりダメージを受けた絶縁膜が除去され、その絶縁膜中および絶縁膜と基板との界面でのトラップの発生を抑制でき、素子の信頼性が向上する半導体装置とこの半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】この発明の半導体装置は、ソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート絶縁膜を介して形成されているゲ

ト電極とを有するMISトランジスタを備えたものにおいて、上記ソース拡散層と上記ゲート電極との間、および上記ドレイン拡散層と上記ゲート電極との間の少なくとも一方がゲート絶縁膜よりも誘電率の低い絶縁膜で充填されており、ゲート絶縁膜に対してゲート電極の長さが長くなっている。

【0012】この発明の半導体装置は、基板上のソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート電極とを有するMISトランジスタを備えたものにおいて、上記チャネルと上記ゲート電極との間に、上記ゲート電極の長さよりも短くゲート絶縁膜が形成され、上記ゲート電極の側面に絶縁膜側壁が堆積され、上記絶縁膜側壁と上記ゲート電極と上記基板と上記ゲート絶縁膜で囲まれた領域に空間が形成されている。

【0013】この発明の半導体装置の製造方法は、基板上のソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート絶縁膜を介して形成されているゲート電極とを有するMISトランジスタを備えた半導体装置を製造するものにおいて、上記基板上に熱酸化によりゲート絶縁膜を形成する工程と、このゲート絶縁膜上にポリシリコンを主体とするゲート電極を形成する工程と、上記ゲート電極と自己整合的に、ソース拡散層およびドレイン拡散層形成用の不純物を導入する工程と、希沸酸処理を行うことにより、上記ゲート電極とソースおよびドレイン形成領域との間の上記ゲート絶縁膜の少なくとも一部を除去し、上記ゲート絶縁膜を除去した部分に空間を形成する工程と、上記基板上に、減圧気相成長法により熱酸化膜より誘電率の低い絶縁膜を堆積し、上記空間を上記ゲート絶縁膜よりも誘電率の低い上記絶縁膜で充填する工程とからなる。

【0014】この発明の半導体装置の製造方法は、基板上のソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート絶縁膜を介して形成されているゲート電極とを有するMISトランジスタを備えた半導体装置を製造するものにおいて、上記基板上に熱酸化によりゲート絶縁膜を形成する工程と、このゲート絶縁膜上にポリシリコンを主体とするゲート電極を形成する工程と、上記ゲート電極と自己整合的に、ソース拡散層およびドレイン拡散層形成用の不純物を導入する工程と、希沸酸処理を行うことにより、上記ゲート電極とソースおよびドレイン形成領域との間の上記ゲート絶縁膜の少なくとも一部を除去し、上記ゲート絶縁膜を除去した部分に空間を形成する工程と、上記基板上に、常圧気相成長法あるいはスパッタリング法により上記空間を残したまま絶縁膜を堆積する工程とからなる。

【0015】

【発明の実施の形態】以下、図面を参照してこの発明の実施形態を説明する。図1から図5を用いて、半導体装置としてNMOSを例としてその製造方法を説明する。

【0016】まず、図1に示すように、シリコン基板1

の表面側に、Pウェル11と、膜厚600nmの熱酸化膜からなる素子分離領域12を形成する。次いで、基板表面を800°Cで熱酸化することにより膜厚6nmの熱酸化膜を形成して、さらに基板全面にCVD(気相成長)法を用いて適宜不純物をドープしたポリシリコンを堆積したのち、光リソグラフィーにより幅0.25μmの図示しないレジストパターンを形成し、これをマスクとしたRIE(リアクティブイオンエッ칭)法でパターニングすることにより、ゲート絶縁膜13とゲート電極14とを形成する。

【0017】次に、図2に示すように、基板全面を800°Cの酸化性雰囲気で熱酸化することにより、ゲート電極14の側面に膜厚20nmの熱酸化膜15とゲート電極とソース及びドレイン形成領域との間に膜厚1.0nmの絶縁膜16が形成される。

【0018】その後、図3に示すように、浅いソース拡散層およびドレイン拡散層形成用のひ素Asを加速電圧15KeV、 $2 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入する。

【0019】次に、図4に示すように、希沸酸処理を行うことにより、熱酸化膜15が除去され、絶縁膜16も除去され、絶縁膜16に対応する部分に空間21が形成される。この工程においてエッチング時間を調整することにより、ゲート電極14とソース及びドレイン領域のオーバーラップ長を調整する。たとえば、0.3%の希沸酸により1.80secの処理を行うことにより、オーバーラップ長が300オームストロングとなる。

【0020】この結果、オーバーラップ長を短くすることにより、オーバーラップ寄生容量を小さくすることができます。次に、図5に示すように、基板全面にLPCVD(減圧気相成長)法により熱酸化膜より誘電率の低い絶縁膜(たとえば、SiO₂あるいはBPSG等)を膜厚100nm堆積したのち、RIE法を行いエッチバックして絶縁膜側壁17を形成する。この際、上記空間21の部分は絶縁膜側壁17により埋められることにより、低誘電率絶縁膜22が形成(充填)される。その後、更に深いソース拡散層およびドレイン拡散層形成用のひ素Asを加速電圧40KeVで $5 \times 10^{15} \text{ cm}^{-2}$ イオン注入した後、1000°C、20秒のRTA(ラビット サーマルアニール: 热的に急速なアニール)法を用いて不純物の活性化を行う。

【0021】なお、この実施形態においては、図2の工程で熱酸化により絶縁膜16を形成したが、図2の工程で熱酸化により絶縁膜16を形成せず、図4の工程で希沸酸処理を行うことでゲート絶縁膜13の幅を細らせるこによりオーバーラップ寄生容量を低減することも可能である。

【0022】この場合、あらたにソース及びドレイン形成領域が酸化工程において狭められることなく、オーバーラップ領域の高抵抗化を回避することが可能である。

る。一方、浅い拡散層を形成し、また短チャネル効果を抑制する観点からは、イオン注入に先だって絶縁膜16を形成しておくことがこのましい。

【0023】さらに、上述した実施形態においては、図5に示す、絶縁膜側壁17の形成においてはステップカバレッジの良いLPCVD法を用いたため、空間21は絶縁膜側壁17により埋められたが、これに限らず、他の実施の形態として、ステップカバレッジの良くないATCVD(アトモスフェリックCVD: 常圧気相成長法)法、もしくはスパッタリング法を用いた場合、図6に示すように、空間21はそのまま残り、オーバーラップ領域の寄生容量はより小さくなる。

【0024】上記したように、この実施形態で得られる半導体装置では、ゲート電極とソース及びドレイン拡散層とのオーバーラップ領域、つまりゲート電極とソース領域及びゲート電極とドレイン領域とのそれぞれのオーバーラップ部において、ゲート絶縁膜は除去され空間となっている、もしくは低誘電率の絶縁膜で充填されているため、高速動作の妨げとなっている寄生容量は小さくなる。

【0025】また、イオン注入を行う前にゲート電極を熱酸化して側面に熱酸化膜することにより、ゲート電極と自己整合的にイオン注入を行う際にオフセットができるため、オーバーラップ長を短くすることができ、実効的なチャネル長は長くなり、よって短チャネル効果は抑制される。

【0026】また、イオン注入によりダメージを受けたゲート絶縁膜は除去されているため、このゲート絶縁膜において形成されるトラック順位の影響を除去することができ、素子の信頼性は向上する。

【0027】なお、以上ではこの発明のこの実施形態をNMOSにより説明したが、PMOSでも全く同様の効果が得られる。その他、この発明の趣旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0028】

【発明の効果】以上詳述したように、この発明によれば、ゲート絶縁膜の薄膜化に伴うソースおよびドレイン拡散層とゲート電極との間に存在する寄生容量を低減でき、素子の高速動作を可能とし、イオン注入によりダメージを受けた絶縁膜が除去され、その絶縁膜中および絶縁膜と基板との界面でのトラップの発生を抑制でき、素子の信頼性が向上する半導体装置とこの半導体装置の製造方法を提供できる。

【図面の簡単な説明】

【図1】図1は、この発明の実施形態を示すものであり、半導体装置の製造工程を示す断面図である。

【図2】図2は、図1に続く製造工程を示す断面図である。

【図3】図3は、図2に続く製造工程を示す断面図である。

7

・【図4】図4は、図3に続く製造工程を示す断面図である。

・【図5】図5は、図4に続く製造工程を示す断面図である。

・【図6】図6は、図4に続く他の製造工程を示す断面図である。

・【図7】図7は、従来の半導体装置の製造工程を示す断面図である。

・【図8】図8は、図7に続く製造工程を示す断面図である。

・【図9】図9は、図8に続く製造工程を示す断面図である。

・【図10】図10は、図9の製造工程を拡大して示す断面図である。

・【図11】図11は、従来の他の半導体装置を示す断面*

8

*図である。

・【図12】図12は、従来の他の半導体装置を示す断面図である。

・【符号の説明】

10 …シリコン基板

11 …Pウェル

12 …素子分離領域

13 …ゲート絶縁膜

14 …ゲート電極

15 …熱酸化膜

16 …絶縁膜

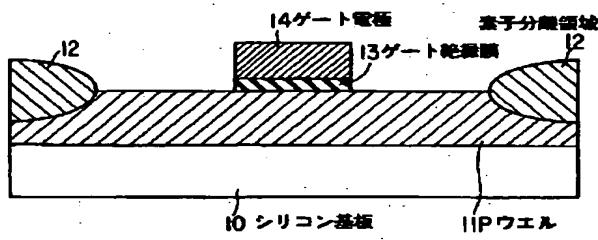
17 …絶縁膜側壁

18 …ソースおよびドレイン拡散層

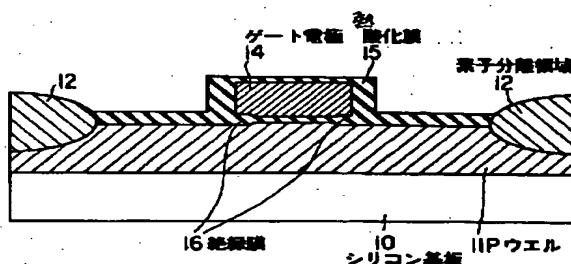
21 …空間

22 …低誘電率絶縁膜

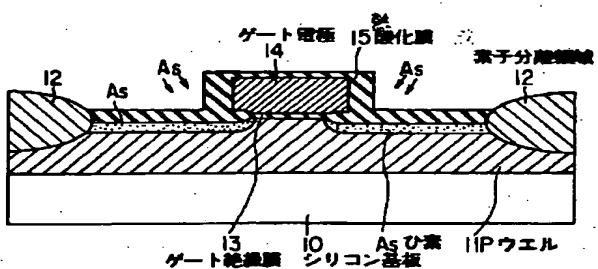
・【図1】



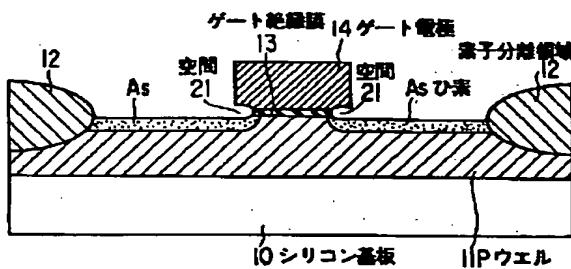
・【図2】



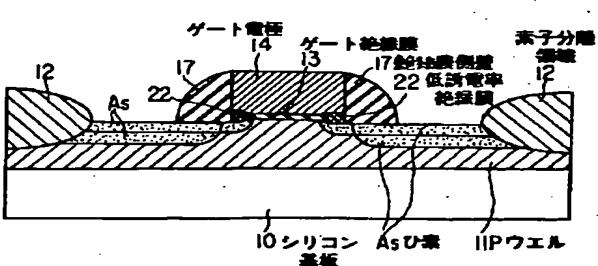
・【図3】



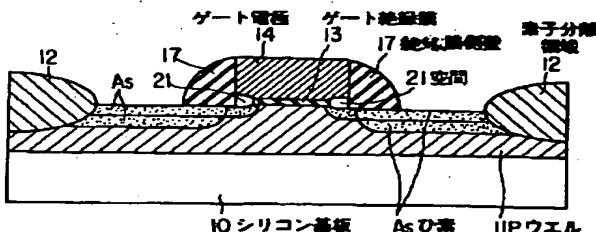
・【図4】



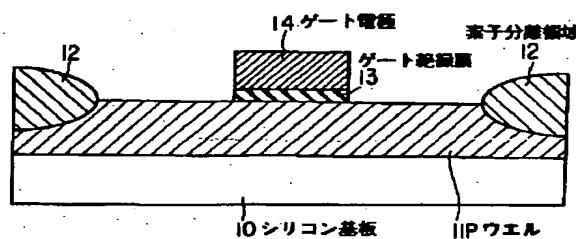
・【図5】



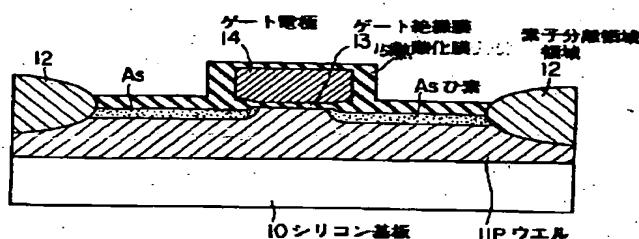
・【図6】



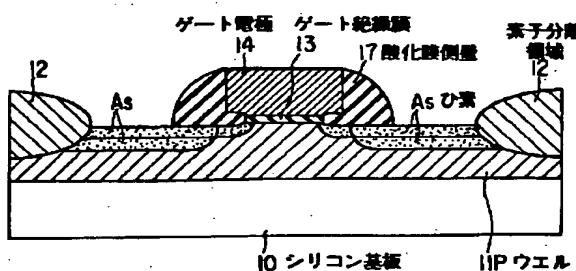
【図7】



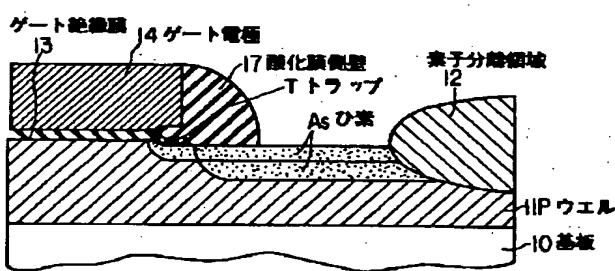
【図8】



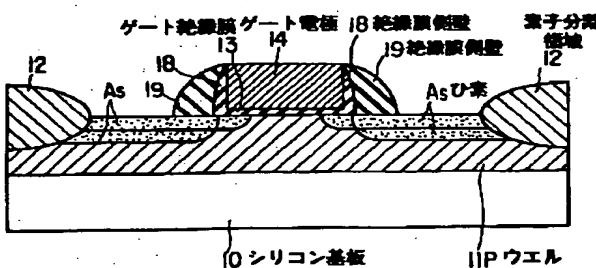
【図9】



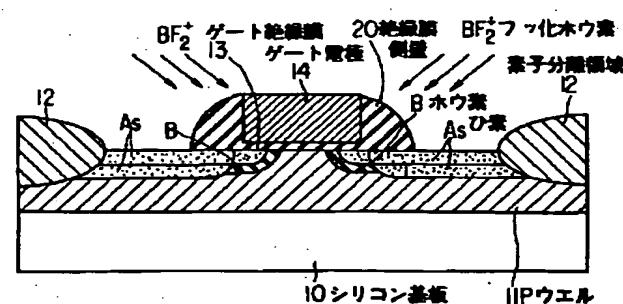
【図10】



【図11】



【図12】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007323

(43)Date of publication of application : 12.01.2001

(51)Int.Cl.

H01L 29/78

(21)Application number : 11-179939 (71)Applicant : SANYO ELECTRIC CO LTD

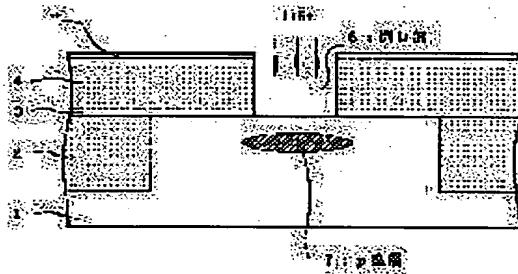
(22)Date of filing : 25.06.1999 (72)Inventor : IIDA IZUO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent generation of a punch-through in a MOS transistor and also to reduce junction capacitance of a source layer and a drain layer.

SOLUTION: A second silicon nitride film 5, a silicon nitride film 4 and a first silicon nitride film 3 are etched in this order, and an aperture 6 is formed in a gate electrode forming region. Boron is ion-implanted in a substrate through this aperture 6, to form a p-type layer 7 for preventing punch-throughs in the substrate. With the aperture 6 filled with a polysilicon layer 9, the polysilicon layer 9 of a thickness of 3,000 to 4,000 Å is formed on the film 5 through LPCVD method. The layer 9 is subjected to entire surface etching, to leave only the layer 9 filed in the aperture 6 and the layer 9 is formed as a gate electrode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-7323

(P2001-7323A)

(43)公開日 平成13年1月12日(2001.1.12)

(51)Int.Cl.⁷

H 01 L 29/78

識別記号

F I

H 01 L 29/78

マーク* (参考)

3 0 1 H 5 F 0 4 0

審査請求 未請求 請求項の数 5 OL (全 5 頁)

(21)出願番号 特願平11-179939

(22)出願日 平成11年6月25日(1999.6.25)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 飯田伊豆雄

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74)代理人 100111383

弁理士 芝野 正雅

Fターム(参考) 5F040 DA12 DA18 EC07 EE05 EF02

EK05 FA03 FB02 FC10 FC19

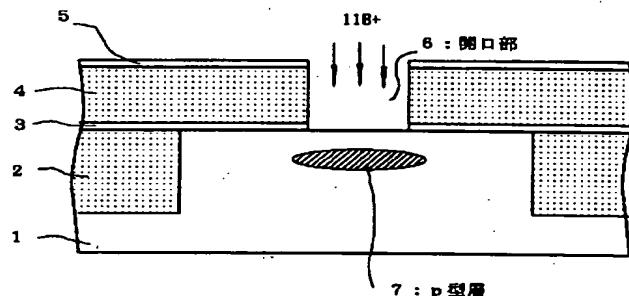
FC22

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】MOSトランジスタのパンチスルーを防止すると共に、ソース層及びドレイン層の有する接合容量を低減する。

【解決手段】第2シリコン窒化膜5、シリコン酸化膜4及び第1シリコン窒化膜3を順次、エッチングし、ゲート電極の形成領域に開口部6を形成する。そして、この開口部6から、ポロンをイオン注入して、パンチスルーフィルム防止用のp型層7を形成する。開口部6を充填すると共に、第2シリコン窒化膜5上に3000Å～4000Åのポリシリコン層9をLPCVD法によって形成する。ポリシリコン層9を全面エッチングして開口部6に充填されたポリシリコン層9のみを残し、ゲート電極とする。



1

・【特許請求の範囲】

・【請求項1】第1導電型の半導体基板上にシリコン酸化膜を形成し、該シリコン酸化膜に開口部を形成する工程と、

前記開口部から不純物を導入し、パンチスルーアンチスルーアンチスルーフィルムを形成する工程と、

前記開口部の半導体基板表面にゲート酸化膜を形成する工程と、

前記開口部を充填するとともに前記シリコン酸化膜上にシリコン層を形成する工程と、

前記シリコン層を全面エッチングし、前記開口部に残存したシリコン層から成るゲート電極を形成する工程と、前記シリコン酸化膜を除去する工程と、

前記ゲート電極の両側の前記半導体基板上に第2導電型のソース層及びドレイン層を形成する工程と、

を有し、前記パンチスルーアンチスルーフィルムの第1導電型層は、実質的にソース層とドレイン層との間のチャネル領域に形成されることを特徴とする半導体装置の製造方法。

・【請求項2】第1導電型の半導体基板上に、その表面が実質的に該半導体基板の表面と同一平面上に位置するトレンチ分離膜を形成する工程と、

前記トレンチ分離膜を含む前記半導体基板上の全面にシリコン酸化膜を形成し、該シリコン酸化膜に開口部を形成する工程と、

前記開口部から不純物を導入し、パンチスルーアンチスルーフィルムを形成する工程と、

前記開口部の半導体基板表面にゲート酸化膜を形成する工程と、

前記開口部を充填するとともに前記シリコン酸化膜上にシリコン層を形成する工程と、

前記シリコン層を全面エッチングし、前記開口部に残存したシリコン層から成るゲート電極を形成する工程と、前記シリコン酸化膜をエッチングにより除去する工程と、

前記ゲート電極の両側の前記半導体基板上に第2導電型のソース層及びドレイン層を形成する工程と、

を有し、前記パンチスルーアンチスルーフィルムの第1導電型層は、実質的にソース層とドレイン層との間のチャネル領域に形成されることを特徴とする半導体装置の製造方法。

・【請求項3】前記シリコン層に対する全面エッチングはCMPによって行うことを特徴とする請求項1または請求項2に記載の半導体装置の製造方法。

・【請求項4】前記シリコン酸化膜と前記シリコン層との間にシリコン窒化膜から成るエッチングストッパー膜を介在させることを特徴とする請求項3に記載の半導体装置の製造方法。

・【請求項5】前記トレンチ分離膜は、シリコン酸化膜から成り、かつ該トレンチ分離膜と前記シリコン酸化膜との間にシリコン窒化膜から成るエッチングストッパー膜を介在させることを特徴とする請求項2に記載の半導体

2

装置の製造方法。

・【発明の詳細な説明】

・【0001】

・【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特にMOSトランジスタのパンチスルーアンチスルーフィルムを防止すると共に、ソース層及びドレイン層の有する接合容量を低減したMOSトランジスタの製造方法に関する。

・【0002】

・【従来の技術】従来、図7に示すように、MOSトランジスタのソース層及びドレイン層間のパンチスルーアンチスルーフィルムの発生を抑制するために、そのチャネル領域にいわゆる深いチャネルドープを施すことにより、パンチスルーアンチスルーフィルムを形成している。

・【0003】以下に、図7を参照しながら、従来の半導体装置の製造方法を説明する。例えば、P型半導体基板51上に素子分離膜としてLOCOS膜52を形成し、この半導体基板51上にダミー酸化膜を形成する。その後、イオン注入によってパンチスルーアンチスルーフィルムのP型不純物層54を形成する。その後、ダミー酸化膜を除去し、ゲート酸化膜53を形成する。

・【0004】そして、ゲート酸化膜53上にゲート電極55を形成する。このゲート電極55の両側に、リンのイオン注入によってn-層を形成する。さらに、ゲート電極55の側壁にサイドウォールスペーサ膜56を形成した後に、砒素のイオン注入によってn+層を形成する。これにより、n-層/n+層から成るソース層57及びドレイン層58が形成され、LDD構造のNチャネル型のMOSトランジスタが完成する。

・【0005】上記のMOSトランジスタによれば、チャネル領域の比較的深い所にパンチスルーアンチスルーフィルムのP型不純物層54が形成されているので、ドレイン層58に高電圧が印加された場合に空乏層がチャネル領域に広がることが防止され、ソース層57とドレイン層58間のパンチスルーアンチスルーフィルムが抑制される。

・【0006】

・【発明が解決しようとする課題】パンチスルーアンチスルーフィルムのP型不純物層54は、チャネル領域に設けられ、かつソース層57とドレイン層58の接合付近にピーク不純物濃度を有することが、パンチスルーアンチスルーフィルムの有効であることが知られている。

・【0007】しかしながら、上記した従来の製造方法によれば、P型不純物層54は、チャネル領域だけでなく、ソース層57及びドレイン層58の形成領域にも形成される。このため、P型不純物層54のピーク不純物濃度をソース層57とドレイン層58の接合付近に設定すると、ソース層57とドレイン層58の有する接合容量が大きくなり、MOSトランジスタの動作速度が遅くなり、ひいては回路遅延時間が大きくなるという問題がある。

・【0008】一方、P型不純物層54を形成する際に、

50

マスクを用いてチャネル領域に限定してイオン注入を行うことが考えられる。しかしながら、パンチスルー抑止効果を確実にするためには、マスク合わせずに対する余裕度をみて、ソース層57とドレイン層58の形成領域に重畠させてイオン注入することが必要であり、接合容量の増加は避けられない。

・【0009】本発明は、上記の課題に鑑みて為され、MOSトランジスタのパンチスルーを防止すると共に、ソース層及びドレイン層の有する接合容量を低減したMOSトランジスタの製造方法を提供することを目的としている。

・【0010】

・【課題を解決するための手段】本発明の半導体装置の製造方法は、第1に、第1導電型の半導体基板上にシリコン酸化膜を形成し、該シリコン酸化膜に開口部を形成する工程と、前記開口部から不純物を導入し、パンチスルーフィルム防止用の第1導電型不純物層を形成する工程と、前記開口部の半導体基板表面にゲート酸化膜を形成する工程と、前記開口部を充填するとともに前記シリコン酸化膜上にシリコン層を形成する工程と、前記シリコン層を全面エッチングし、前記開口部に残存したシリコン層から成るゲート電極を形成する工程と、前記シリコン酸化膜を除去する工程と、前記ゲート電極の両側の前記半導体基板上に第2導電型のソース層及びドレイン層を形成する工程と、を有し、前記パンチスルーフィルム防止用の第1導電型層は、実質的にソース層とドレイン層との間のチャネル領域に形成されることを特徴としている。

・【0011】この発明によれば、チャネル領域に限定してパンチスルーフィルム防止用の不純物層を形成することができ、ソース層及びドレイン層の有する接合容量を低減することができる。

・【0012】第2に、第1導電型の半導体基板上に、その表面が実質的に該半導体基板の表面と同一平面上に位置するトレンチ分離膜を形成する工程と、前記トレンチ分離膜上を含む前記半導体基板上の全面にシリコン酸化膜を形成し、該シリコン酸化膜に開口部を形成する工程と、前記開口部から不純物を導入し、パンチスルーフィルム防止用の第1導電型不純物層を形成する工程と、前記開口部の半導体基板表面にゲート酸化膜を形成する工程と、前記開口部を充填するとともに前記シリコン酸化膜上にシリコン層を形成する工程と、前記シリコン層を全面エッチングし、前記開口部に残存したシリコン層から成るゲート電極を形成する工程と、前記シリコン酸化膜をエッチングにより除去する工程と、前記ゲート電極の両側の前記半導体基板上に第2導電型のソース層及びドレイン層を形成する工程と、を有し、前記パンチスルーフィルム防止用の第1導電型層は、実質的にソース層とドレイン層との間のチャネル領域に形成されることを特徴としている。

・【0013】この発明によれば、素子分離膜として、そ

の表面が実質的に該半導体基板の表面と同一平面上に位置するトレンチ分離膜を用いているので、第1の発明の作用効果に加えて、シリコン層及びシリコン酸化膜の表面が平坦化され、シリコン層を全面エッチングし、前記開口部に残存したシリコン層から成るゲート電極を形成する際に、そのエッチングを容易に精度よく行うことができる。

・【0014】第3に、前記シリコン層に対する全面エッチングはCMPによって行うことを特徴としている。このような構成をとることにより、ゲート電極を精度良く加工することができる。

・【0015】第4に、前記シリコン酸化膜と前記シリコン層との間にシリコン窒化膜から成るエッティングストップバー膜を介在させることを特徴としている。これにより、CMPのエンドポイントを容易に検出でき、ゲート電極を精度良く加工することができる。

・【0016】第5に、前記トレンチ分離膜は、シリコン酸化膜から成り、かつ該トレンチ分離膜と前記シリコン酸化膜との間にシリコン窒化膜から成るエッティングストップバー膜を介在させることを特徴としている。このような構成をとることにより、シリコン酸化膜をエッティング除去する際に、トレンチ分離膜がエッティングされるのを防止することができる。

・【0017】

・【発明の実施の形態】次に、本発明の実施形態を図1乃至図6を参照しながら説明する。

・【0018】図1に示すように、P型シリコン基板1上に素子分離膜としてトレンチ分離膜2を形成する。これは、いわゆるシャロートレンチ技術によって、1μm～2μm程度の浅いトレンチ溝を形成し、そのトレンチ溝にシリコン酸化膜などの絶縁膜を埋め込むことによって形成する。

・【0019】この埋め込みは、例えば、CVD酸化膜を堆積した後に、エッチバックやCMP(Chemical Mechanical Polishing)によって行うことができる。そのトレンチ分離膜2の表面は、実質的に半導体基板1の表面と同一平面上に位置する。なお、素子分離膜としては、LOCOS酸化膜を用いることもできるが、後に形成するシリコン酸化膜4を平坦化するためには、上記したような構成のトレンチ分離膜を用いることが有効である。

・【0020】トレンチ分離膜2の形成後、LPCVD法によって300Å程度の第1シリコン窒化膜3をトレンチ分離膜2上を含む全面に形成する。この第1シリコン窒化膜3は、シリコン酸化膜4をエッティング除去する際のエッティングストップバーとして機能し、トレンチ分離膜2がエッティングされるのを防止する。

・【0021】次に、2000Å程度のシリコン酸化膜4をLPCVD法によって堆積する。さらに、シリコン酸化膜4上には、LPCVD法によって、100Å程度の第2シリコン窒化膜5を形成する。この第2シリコン窒

化膜5は、後に形成するポリシリコン層に対するエッチングストッパーとして機能する。

・【0022】次に、図2に示すように、図示しないホトレジストをマスクとして、第2シリコン窒化膜5、シリコン酸化膜4及び第1シリコン窒化膜3を順次、エッチングし、ゲート電極の形成領域に開口部6を形成する。そして、この開口部6から、ボロンをイオン注入して、パンチスルー防止用のp型層7を形成する。このときの、イオン注入の加速電圧は、40KeV、ドーズ量は $8 \times 10^{12} / \text{cm}^2$ 程度がパンチスルー防止効果を得るために適当である。

・【0023】次に、図3に示すように、開口部6を充填すると共に、第2シリコン窒化膜5上に 3000\AA のポリシリコン層9をLPCVD法によって形成する。いま、開口部6の開口幅が $0.4\mu\text{m}$ (4000\AA) とすると、開口部6はポリシリコン層9によって充填される。開口部6の開口幅が $0.3\mu\text{m}$ であるとすると、ポリシリコン層9の膜厚は 2000\AA あれば足りる。なお、ポリシリコン層9に代えてアモルファスシリコン層を用いても良い。ポリシリコン層9、アモルファスシリコン層は、後にゲート電極に加工されるため、リンをドープすることにより低抵抗化する。

・【0024】次に、図4に示すように、ポリシリコン層9を全面エッチングして開口部6に充填されたポリシリコン層9のみを残す。第2シリコン窒化膜は、エッチングストッパーとして機能する。この部分がゲート電極10となる。この全面エッチングは、エッチバッカでもよいが、CMP (Chemical Mechanical Polishing) によって行なうことが好ましい。これにより、開口部6にのみ、精度良くポリシリコン層9を残すことができる。また、素子分離膜としてトレチ分離膜2を用い、ポリシリコン層9及びシリコン酸化膜4を平坦化しているので、CMPを行なうのに適しており、高精度にゲート電極10を加工できる。

・【0025】次に、図5に示すように、第2シリコン窒化膜5、シリコン酸化膜4及び第1シリコン窒化膜3を順次、エッチングして除去する。シリコン酸化膜4のエッチングはフッ酸系のエッチング液、第1及び第2シリコン窒化膜3、5のエッチングは、ホット磷酸などを用いて行なうことができる。このとき、第1シリコン窒化膜3は、エッチングストッパーとして機能し、トレチ分離膜2がエッチングされるのを防止している。

・【0026】次に、図6に示すように、ゲート電極10をマスクとしてリンのイオン注入を行い、n-層を形成する。このイオン注入の加速電圧は 20KeV 、ドーズ量は $3 \times 10^{13} / \text{cm}^2$ 程度が適当である。さらに、ゲート電極10の側壁にサイドウォールスペーサ膜11を形成し、砒素のイオン注入を行い、n+層を形成する。このイオン注入の加速電圧は 70KeV 、ドーズ量は $5 \times 10^{15} / \text{cm}^2$ 程度が適当である。

・【0027】その後、注入された不純物の活性化及び結晶欠陥の回復のために、 1000°C の温度下で約30秒のRTA (Rapid Thermal Anneal) を行い、さらに 800°C の温度下で約30分、ファーネス内で熱処理を行う。こうして、n-層/n+層から成るソース層12及びドレイン層13を形成する。

・【0028】なお、上記実施形態は、Nチャネル型MOSトランジスタに関するが、本発明は、これに限定されることなく、Pチャネル型MOSトランジスタにも適用することができる。また、ゲート電極10は、ドープトポリシリコン層から成るが、ソース層12及びドレイシ層13と共にさらに低抵抗化するために、TiまたはCoを用いてサリサイド化してもよい。

・【0029】

・【発明の効果】上記のように、本発明によれば、第1に、MOSトランジスタのパンチスルーを防止すると共に、ソース層及びドレイン層の有する接合容量を低減することができるという効果を有する。

・【0030】第2に、素子分離膜として、その表面が実質的に該半導体基板の表面と同一平面上に位置するトレチ分離膜を用いているので、シリコン層及びシリコン酸化膜の表面が平坦化され、シリコン層を全面エッチングし、シリコン酸化膜の開口部に残存したシリコン層から成るゲート電極を形成する際に、そのエッチングを容易に精度よく行なうことができるという効果を有する。

・【0031】第3に、シリコン層に対する全面エッチングはCMPによって行なっているので、ゲート電極を精度良く加工することができるという効果を有する。

・【0032】第4に、シリコン酸化膜とシリコン層との間にシリコン窒化膜から成るエッチングストッパー膜を介在させることを特徴としている。これにより、CMPのエンドポイントを容易に検出でき、ゲート電極を精度良く加工することができるという効果を有する。

・【0033】第5に、トレチ分離膜は、シリコン酸化膜から成り、かつ該トレチ分離膜とシリコン酸化膜との間にシリコン窒化膜から成るエッチングストッパー膜を介在させているので、シリコン酸化膜をエッチング除去する際に、トレチ分離膜がエッチングされるのを防止する効果を有する。

・【図面の簡単な説明】

・【図1】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

・【図2】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

・【図3】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

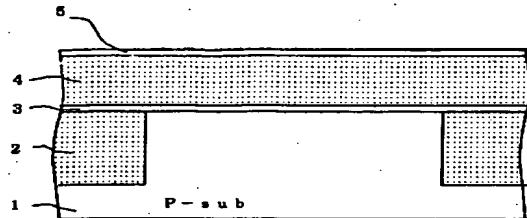
・【図4】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

・【図5】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

7

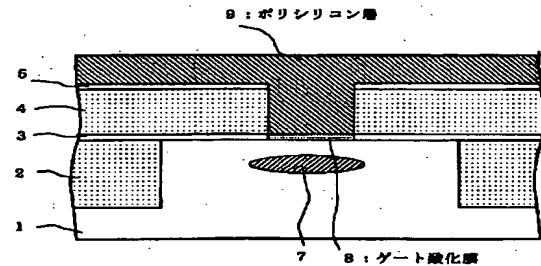
・【図6】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

・【図1】

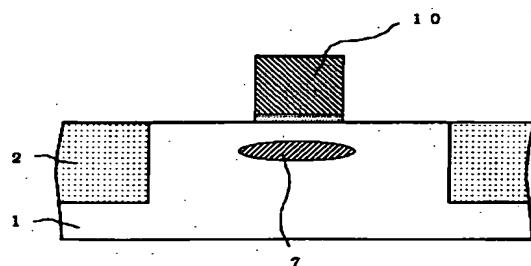


1 : シリコン基板
2 : トレンチ分離膜
3 : 第1シリコン酸化膜
4 : シリコン酸化膜
5 : 第2シリコン酸化膜

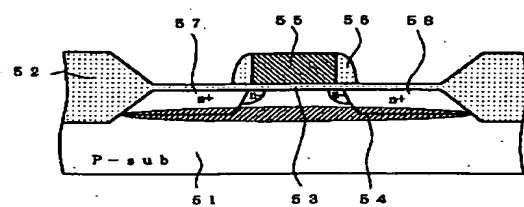
・【図3】



・【図5】



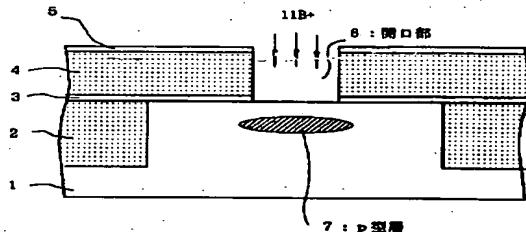
・【図7】



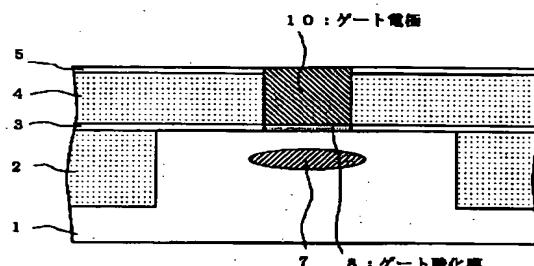
8

*・【図7】従来例に係る半導体装置の製造方法を説明するための断面図である。

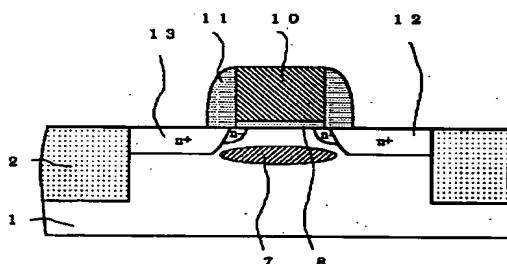
・【図2】



・【図4】



・【図6】



1 : Si基板
2 : トレンチ分離膜
7 : p型層
8 : ゲート酸化膜
10 : ゲート電極
11 : サイドカオールスペーサー
12 : n-/n+ドレイン層
13 : n-/n+ソース層